



**Eur päisches  
Patentamt**

**Eur pean  
Patent Office**

**Office européen  
des brevets**

10677108

12/29/03

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterla-  
gen stimmen mit der  
ursprünglich eingereichten  
Fassung der auf dem näch-  
sten Blatt bezeichneten  
europäischen Patentanmel-  
dung überein.

The attached documents  
are exact copies of the  
European patent application  
described on the following  
page, as originally filed.

Les documents fixés à  
cette attestation sont  
conformes à la version  
initialement déposée de  
la demande de brevet  
européen spécifiée à la  
page suivante.

**Patentanmeldung Nr. Patent application No. Demande de brevet n°**

02425611.7

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**

100-100000-100000

100-100000-100000

100-100000-100000

100-100000-100000

100-100000-100000

100-100000-100000

100-100000-100000

100-100000-100000



Anmeldung Nr:  
Application no.: 02425611.7  
Demande no:

Anmeldetag:  
Date of filing: 09.10.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

Integrated MOS-type semiconductor device with high performance and relating  
manufacturing process

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

H01L/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR



“Dispositivo integrato a semiconduttore di tipo MOS ad alte prestazioni e relativo processo di fabbricazione.”

\* \* \* \* \*

#### DESCRIZIONE

5           La presente invenzione si riferisce ad un dispositivo integrato a semiconduttore di tipo MOS ad alte prestazioni, in particolare ad un dispositivo LDMOS, ed al relativo processo di fabbricazione.

Attualmente si assiste ad una sempre maggiore evoluzione nel campo dei dispositivi in radiofrequenza utilizzati nelle applicazioni di comunicazione come, ad esempio, amplificatori in stadi di uscita di trasmettitori di cellulari. La ricerca di sempre più alte prestazioni di detti dispositivi in radiofrequenza, e di una loro massima compatibilità con gli altri componenti delle svariate applicazioni in radiofrequenza ha spinto verso l'utilizzo di tecnologie diverse per la realizzazione di tali dispositivi come la tecnologia LDMOS.

10  
15

I dispositivi a semiconduttore LDMOS presentano migliori caratteristiche dei dispositivi a semiconduttore MOS in alta frequenza, cioè fra i 500Mhz e i 2Ghz, in quanto consentono una migliore gestione del segnale di ingresso e una diminuzione delle perdite di parte della potenza di uscita per disadattamento.

20

E' tuttavia necessario una corretta progettazione della struttura di ingresso e dell'intero layout del dispositivo a semiconduttore per minimizzare ulteriormente le perdite descritte. La struttura di ingresso è essenzialmente costituita dal terminale di gate del dispositivo LDMOS.

In ogni cella elementare facente parte del dispositivo LDMOS la connessione elettrica dei singoli terminali di gate viene ottenuta attraverso un singolo punto di contatto. Pertanto, ogni terminale di gate comunemente chiamato "dito di gate ", può essere tradotto, per un circuito a parametri concentrati, da una rete RC dove la resistenza R è data dalla resistenza serie del dito di gate, realizzato generalmente in polisilicio, e la capacità C è data

25  
30

essenzialmente dalla capacità fra il terminale di gate ed il terminale di source di ogni singola cella elementare. La propagazione di un segnale attraverso il dito di gate potrà pertanto subire un certo ritardo dato dal valore della costante di tempo RC.

5           Attualmente una tecnica per controllare la resistenza del dito di gate consiste nel deporre sul polisilicio del dito di gate un sottile strato di materiale ad alta conducibilità, come ad esempio il siliciuro di cobalto o di tungsteno. Altre tecniche utilizzate prevedono strutture LDMOS con un doppio o triplo livello di metallizzazione in modo da definire più punti di  
10           contatto senza incrementare eccessivamente la componente capacitiva.

          Normalmente le celle elementari facenti parte di un dispositivo LDMOS sono disposte in blocchi separati ed ad una certa distanza fra loro. Ciò è dovuto al fatto che la loro disposizione ed il numero può accentuare la loro interazione elettromagnetica provocando una diminuzione della potenza di  
15           uscita. Questo fenomeno, noto anche come "Power Combining effect", dipende proprio dalla distanza fra i blocchi e dal numero degli stessi.

          In vista dello stato della tecnica descritto, scopo della presente invenzione è quello di fornire un dispositivo integrato a semiconduttore di tipo MOS ad alte prestazioni che consenta di minimizzare gli inconvenienti  
20           suddetti.

          In accordo con la presente invenzione, tale scopo viene raggiunto mediante un dispositivo integrato a semiconduttore di tipo MOS comprendente un substrato di un primo tipo di conduttività, detto substrato comprendendo una pluralità di zone attive e zone inattive di detto  
25           dispositivo a semiconduttore, dette zone attive comprendendo celle MOS elementari di detto dispositivo a semiconduttore alternate ad una pluralità di zone di separazione, ciascuna di dette celle MOS elementari comprendendo almeno una regione di source, almeno una regione di drain ed almeno una struttura di gate, detta almeno una struttura di gate comprendendo almeno un  
30           primo dito di materiale conduttore, detto dispositivo comprendendo prime

piste di metallo atte a contattare dette regioni di source delle zone attive, seconde piste di metallo atte a contattare le regioni di drain e terze piste di metallo disposte su zone inattive ed atte a contattare detto almeno un dito di materiale conduttore di ogni cella elementare mediante creazione di un punto di contatto formato da un primo prolungamento di detto almeno un dito per connettersi ad una di dette terze piste, dette prime piste, dette seconde piste e dette terze piste di metallo essendo disposte sopra il substrato di materiale semiconduttore sostanzialmente allo stesso livello, caratterizzato dal fatto che almeno una di dette terze piste di metallo comprende almeno una quarta pista di metallo disposta al di sopra di una di dette zone di separazione, almeno un dito di materiale conduttore di ogni cella elementare avendo almeno un secondo prolungamento e detta almeno una quarta pista di metallo avendo almeno un primo prolungamento atto a sovrapporsi a detto almeno un secondo prolungamento di detto almeno un dito di materiale conduttore in modo da creare almeno un altro punto di contatto.

Sempre in accordo con la presente invenzione è possibile realizzare un processo per la fabbricazione di un dispositivo integrato di tipo MOS come definito nella rivendicazione 21

Grazie alla presente invenzione è possibile realizzare un dispositivo integrato a semiconduttore di tipo MOS che pur presentando un solo livello di metallizzazione consente la formazione di più punti di contatto per le dita di gate. Inoltre detto dispositivo integrato ha una struttura che minimizza le interazioni elettromagnetiche fra i blocchi di celle elementari di cui è composto.

Le caratteristiche ed i vantaggi della presente invenzione risulteranno evidenti dalla seguente descrizione dettagliata di sue forme di realizzazione pratica, illustrate a titolo di esempi non limitativi negli uniti disegni, nei quali:

la figura 1 è una vista schematica di una parte di un layout di un

dispositivo LDMOS secondo l'arte nota;

la figura 2 è una vista più in dettaglio di una zona del layout di figura 1;

la figura 3 mostra una sezione del dispositivo di figura 2 secondo la linea III-III;

5            la figura 4 è una parte di un layout di un dispositivo LDMOS secondo una prima forma di realizzazione della presente invenzione;

la figura 5 mostra una sezione del dispositivo di figura 4 secondo la linea V-V;

10           la figura 6 è una parte di un layout di un dispositivo LDMOS secondo una seconda forma di realizzazione della presente invenzione;

la figura 7 è una vista schematica di una parte di un layout del dispositivo secondo l'invenzione.

15           Nella figura 1 è una vista schematica di una parte di un layout di un dispositivo LDMOS secondo l'arte nota. I blocchi 100 che costituiscono le zone attive del dispositivo LDMOS e che comprendono singole celle elementari LDMOS (dove per celle elementari si intendono le strutture formate da una regione di source, una di drain e da una struttura di gate, in tal caso una struttura composta da un ossido sottile ed un dito di polisilicio), sono separati ed ad una data distanza fra loro per controllare il Power  
20           Combining effect ed i pad 101 sono posizionati al centro del layout fra i vari blocchi 100. Per ogni blocco 100 sono mostrate le piste di metallo 201 e 202 atte a contattare rispettivamente i terminali di drain e di gate delle singole celle LDMOS elementari di ogni blocco 100 e disposte su zone inattive di detto dispositivo. Le piste 201 di ciascun blocco 100 sono connesse  
25           mediante elementi ad arco 203 o mediante estensioni 205 delle piste 201 mentre le piste 202 sono connesse da elementi 204.

30           Nella figura 1 è mostrata in modo più dettagliato una zona di un blocco 100 del layout di figura 1. Il dispositivo LDMOS in esame è un dispositivo a singolo strato di metallo in cui le dita di gate in polisilicio delle singole celle elementari che formano ogni blocco 100 sono contattate in un unico punto Q



dalla pista di metallo 202, o metal bus, atto a collegare dette gate per portare i segnali di pilotaggio.

5 Nella figura 3 è mostrata una sezione del dispositivo di figura 2 secondo la linea III-III. Su un substrato 1 di tipo P ad alta concentrazione di drogante viene cresciuto uno strato epitassiale 2 di tipo P a bassa concentrazione di drogante. Dopo una prima fase di ossidazione ed una fase di mascheratura con un successivo attacco per la formazione di finestre, si ha un impianto di drogante di tipo P ad alta concentrazione, ad esempio boro, che viene fatto diffondere per la formazione delle regioni di sinker 3. In fasi successive si ha  
10 la deposizione di ossido di gate 4, la deposizione di strati di polisilicio 5 sopra gli strati di ossido di gate 4, ed il successivo drogaggio del polisilicio. Le fasi successive del processo per la fabbricazione del dispositivo LDMOS prevedono le fasi per la formazione delle regioni di body 6 con drogante di tipo P, con una parte centrale ad alta concentrazione di drogante di tipo P, gli  
15 impianti per la formazione delle regioni di drain 7 e di source 8 con drogante di tipo N, la formazione di strati di passivante intermedio 9 sopra ed intorno agli strati di ossido di gate 4 e di polisilicio 5, la deposizione di uno strato di metallo per la formazione di piste di metallo 10 per contattare le regioni di source 8, di piste di metallo 11 e di piste di metallo 201 per contattare le  
20 regioni di drain 7 e delle piste di metallo 202 per contattare le dita di gate 5. Nelle figure 2 e 3 si constata che per ogni due strati di polisilicio 5 c'è un unico punto di contatto Q con il metal bus 202 e le piste di metallo 11 sono interdigitate e connesse alla pista di metallo 201. Le piste 10, 11, 201 e 202 sono allo stesso livello, pertanto il dispositivo delle figure 1-3 è un  
25 dispositivo a singolo livello di metallizzazione.

Nelle figure 4 e 5 è mostrato il dispositivo secondo una prima forma di realizzazione della presente invenzione; gli elementi uguali alla sezione di figura 3 saranno indicati con gli stessi riferimenti numerici. Il dispositivo secondo la prima forma di realizzazione dell'invenzione prevede la presenza  
30 di blocchi 300 di zone attive del dispositivo e di zone inattive. In ogni

blocco 300 su un substrato 1 di tipo P ad alta concentrazione di drogante viene cresciuto uno strato epitassiale 2 di tipo P a bassa concentrazione di drogante. Dopo una prima fase di ossidazione ed una fase di mascheratura con un successivo attacco per la formazione di finestre, si ha un impianto di drogante di tipo P ad alta concentrazione, ad esempio boro, che viene fatto diffondere per la formazione delle regioni di sinker 3. In fasi successive si ha la deposizione di ossido di gate 4, la deposizione di strati o dita di polisilicio 5 sopra gli strati di ossido di gate 4, ed il successivo drogaggio del polisilicio. Le fasi successive del processo per la fabbricazione del dispositivo LDMOS prevedono le fasi per la formazione delle regioni di body 6 con drogante di tipo P, con una parte centrale ad alta concentrazione di drogante di tipo P, gli impianti per la formazione delle regioni di drain 7 e di source 8 con drogante di tipo N.

Nel layout di figura 4 si può constatare che esistono tre punti di contatto fra due dita di gate 5 ed il bus di metallo 60 necessario a contattarli. Ciò è dovuto alla formazione di piste 20 di metallo che si dipartono da una pista principale di metallo 60, o metal bus 60, e consentono di aumentare i punti di contatto tra il metal bus 60 e gli strati o dita di polisilicio 5. Infatti dalle piste 20 si dipartono prolungamenti 21 che si sovrappongono a prolungamenti 51 di ogni dito di gate 5 per formare altri punti di contatto T disposti sulle regioni di body 6. Dette piste 20 vengono formate in zone di separazione 31 delle zone attive 300; dette zone di separazione 31 si alternano a coppie di celle LDMOS elementari in ogni blocco 300.

Infatti il processo per la formazione del dispositivo LDMOS comprende una fase per la formazione di regioni di ossido di campo 30, dette anche LOCOS, sopra le regioni di sinker 3. In tale fase si ha una prima fase di deposizione dell'ossido di campo ed una seconda fase di diffusione termica in modo che detto ossido di campo si diffonda all'interno delle regioni di body 6. In una fase successiva si ha la formazione di strati di passivante intermedio 9 sopra ed intorno gli strati di ossido di gate 4 e di polisilicio 5,

dalla pista di metallo 202, o metal bus, atto a collegare dette gate per portare i segnali di pilotaggio.

Nella figura 3 è mostrata una sezione del dispositivo di figura 2 secondo la linea III-III. Su un substrato 1 di tipo P ad alta concentrazione di drogante viene cresciuto uno strato epitassiale 2 di tipo P a bassa concentrazione di drogante. Dopo una prima fase di ossidazione ed una fase di mascheratura con un successivo attacco per la formazione di finestre, si ha un impianto di drogante di tipo P ad alta concentrazione, ad esempio boro, che viene fatto diffondere per la formazione delle regioni di sinker 3. In fasi successive si ha la deposizione di ossido di gate 4, la deposizione di strati di polisilicio 5 sopra gli strati di ossido di gate 4, ed il successivo drogaggio del polisilicio. Le fasi successive del processo per la fabbricazione del dispositivo LDMOS prevedono le fasi per la formazione delle regioni di body 6 con drogante di tipo P, con una parte centrale ad alta concentrazione di drogante di tipo P, gli impianti per la formazione delle regioni di drain 7 e di source 8 con drogante di tipo N, la formazione di strati di passivante intermedio 9 sopra ed intorno agli strati di ossido di gate 4 e di polisilicio 5, la deposizione di uno strato di metallo per la formazione di piste di metallo 10 per contattare le regioni di source 8, di piste di metallo 11 e di piste di metallo 201 per contattare le regioni di drain 7 e delle piste di metallo 202 per contattare le dita di gate 5. Nelle figure 2 e 3 si constata che per ogni due strati di polisilicio 5 c'è un unico punto di contatto Q con il metal bus 202 e le piste di metallo 11 sono interdigitate e connesse alla pista di metallo 201. Le piste 10, 11, 201 e 202 sono allo stesso livello, pertanto il dispositivo delle figure 1-3 è un dispositivo a singolo livello di metallizzazione.

Nelle figure 4 e 5 è mostrato il dispositivo secondo una prima forma di realizzazione della presente invenzione; gli elementi uguali alla sezione di figura 3 saranno indicati con gli stessi riferimenti numerici. Il dispositivo secondo la prima forma di realizzazione dell'invenzione prevede la presenza di blocchi 300 di zone attive del dispositivo e di zone inattive. In ogni

blocco 300 su un substrato 1 di tipo P ad alta concentrazione di drogante viene cresciuto uno strato epitassiale 2 di tipo P a bassa concentrazione di drogante. Dopo una prima fase di ossidazione ed una fase di mascheratura con un successivo attacco per la formazione di finestre, si ha un impianto di drogante di tipo P ad alta concentrazione, ad esempio boro, che viene fatto diffondere per la formazione delle regioni di sinker 3. In fasi successive si ha la deposizione di ossido di gate 4, la deposizione di strati o dita di polisilicio 5 sopra gli strati di ossido di gate 4, ed il successivo drogaggio del polisilicio. Le fasi successive del processo per la fabbricazione del dispositivo LDMOS prevedono le fasi per la formazione delle regioni di body 6 con drogante di tipo P, con una parte centrale ad alta concentrazione di drogante di tipo P, gli impianti per la formazione delle regioni di drain 7 e di source 8 con drogante di tipo N.

Nel layout di figura 4 si può constatare che esistono tre punti di contatto fra due dita di gate 5 ed il bus di metallo 60 necessario a contattarli. Ciò è dovuto alla formazione di piste 20 di metallo che si dipartono da una pista principale di metallo 60, o metal bus 60, e consentono di aumentare i punti di contatto tra il metal bus 60 e gli strati o dita di polisilicio 5. Infatti dalle piste 20 si dipartono prolungamenti 21 che si sovrappongono a prolungamenti 51 di ogni dito di gate 5 per formare altri punti di contatto T disposti sulle regioni di body 6. Dette piste 20 vengono formate in zone di separazione 31 delle zone attive 300; dette zone di separazione 31 si alternano a coppie di celle LDMOS elementari in ogni blocco 300.

Infatti il processo per la formazione del dispositivo LDMOS comprende una fase per la formazione di regioni di ossido di campo 30, dette anche LOCOS, sopra le regioni di sinker 3. In tale fase si ha una prima fase di deposizione dell'ossido di campo ed una seconda fase di diffusione termica in modo che detto ossido di campo si diffonda all'interno delle regioni di body 6. In una fase successiva si ha la formazione di strati di passivante intermedio 9 sopra ed intorno gli strati di ossido di gate 4 e di polisilicio 5,

cioè le gate delle celle elementari che compongono il dispositivo LDMOS, e la formazione di strati di passivante intermedio 91 sopra le regioni 30 di LOCOS.

5 In una fase successiva si ha il deposito di uno strato di metallo con la formazione di piste di metallo 50 per contattare le regioni di source 8, di piste di metallo 11 e delle piste 110 per contattare le regioni di drain 7 e delle piste di metallo 60 e 20. Le piste di metallo 50 in modo diverso dalle piste di metallo 10 di figura 3, sono interrotte nella porzione centrale sopra le regioni di LOCOS 30 e gli strati di passivante intermedio 91, lungo la  
10 striscia di body 6; in tal modo è possibile depositare sopra gli strati di passivante intermedio 91 le piste di metallo 20 che consentono di aumentare i punti di contatto tra il metal bus 60 e gli strati di polisilicio 5. Ciascuna zona di separazione 31 è data pertanto da una porzione della regione di body 6 disposta fra le regioni di source 8 formate nella stessa regione di body 6.  
15 Le piste 20 vengono formate in una direzione trasversale alla formazione del canale nelle celle elementari che formano il dispositivo LDMOS mentre i prolungamenti 21 e 51 sono formati in una direzione parallela alla formazione del canale di dette celle elementari LDMOS. Inoltre le piste di metallo 20 sono parallele alle piste di metallo 11 che si dipartono dalla pista principale di metallo 110. Le piste 20, 50, 11, 110 e 60 sono allo stesso  
20 livello, pertanto il dispositivo delle figure 4 e 5 è un dispositivo a singolo livello di metallizzazione.

Con la presenza dei punti di contatto T viene diminuita la resistenza R del dito di gate in quanto esistono due punti di contatto per ogni striscia di  
25 gate 3; la diminuzione della resistenza comporta una diminuzione della costante di tempo RC e pertanto una riduzione del ritardo di propagazione dei segnali elettrici.

Nella figura 6 è mostrato il dispositivo secondo una seconda forma di realizzazione della presente invenzione; nel layout si può constatare che  
30 esistono tre punti di contatto fra un dito di gate ed il bus di metal necessario

a contattarli invece dei due punti di contatto della prima forma di realizzazione. Ciò è dovuto alla creazione di un ulteriore punto di contatto fra le piste di metallo 20 e le dita 5 di polisilicio, cioè un nuovo punto di contatto H disposto sulla regione di body 6 che viene ottenuto mediante la sovrapposizione di ulteriori prolungamenti 22 delle piste 20 su ulteriori prolungamenti 52 delle dita di polisilicio 5. Il punto di contatto H viene creato in prossimità della parte centrale della regione di body 6 ed in prossimità della parte centrale delle piste 20 e delle dita 5. Ciò viene ottenuto mediante una diversa mascheratura per la formazione di piste di metallo 55 atte a contattare dette regioni di source 3. Infatti le piste in metallo 55 rispetto alle piste 50 della figura 4 presentano una larghezza inferiore nella parte centrale per la formazione di detto ulteriore punto di contatto H. La maschera per la formazione dei contatti 81 presenta anch'essa una minore larghezza nelle parte centrale ed anche un'interruzione in presenza dei prolungamenti 52 delle dita di polisilicio 5. I prolungamenti 52 e 22 hanno una direzione parallela alla formazione del canale delle celle elementari del dispositivo LDMOS. L'ulteriore punto di contatto H consente di abbassare ulteriormente la resistenza R che comporta una diminuzione della costante di tempo RC e pertanto un'ulteriore riduzione del ritardo di propagazione dei segnali elettrici. Le piste 55, 11, 110, 60 e 20 sono allo stesso livello, pertanto il dispositivo di figura 6 è un dispositivo a singolo livello di metallizzazione.

Nella figura 7 è mostrato il layout del dispositivo secondo la prima o la seconda forma di realizzazione della presente invenzione. I blocchi 300 o 301 formati dalle celle elementari che compongono il dispositivo LDMOS e dalle zone di separazione 31 sono contigui gli uni agli altri minimizzando gli effetti di Power ricombining in quanto non esiste alcun collegamento che possa creare un disadattamento tra i blocchi 300 o 301 adiacenti. Più precisamente le coppie di blocchi adiacenti 300 o 301 sono separate fra loro da una coppia di piste 110 adiacenti fra loro. Le coppie di piste di metallo

110, che servono come detto precedentemente per contattare le regioni di drain del dispositivo, di ciascuna coppia di blocchi 300 o 301 sono unite alla coppia di piste 110 adiacenti o alla singola pista di metallo 110 adiacente mediante piste trasversali 111 disposte sulla parte superiore del chip in cui  
5 viene creato il dispositivo guardando la figura 7. Le piste trasversali 111 sono connesse a pad 112 utilizzati per il prelievo o l'introduzione di segnali elettrici nel dispositivo.

Ogni coppia di blocchi adiacenti 300 o 301 presenta una pista di metallo 60 atta a contattare le dita di gate delle celle e disposta fra i due blocchi 300  
10 o 301 che formano detta coppia ed in modo parallelo alle piste 110. Pertanto ogni singola pista di metallo 60 consente di contattare le dita di gate di ogni cella elementare dei blocchi 300 o 301 che compongono la coppia. Inoltre, come visibile nelle figure 4 e 6, ogni punto di contatto Q permette il contatto contemporaneo di quattro dita di polisilicio 5 con la pista di metallo 60.

15 Le piste di metallo 60 di ciascuna coppia di blocchi 300 o 301 sono unite alle piste 60 adiacenti mediante piste trasversali 61 disposte sulla parte inferiore del chip in cui viene creato il dispositivo guardando la figura 7. Le piste trasversali 61 sono connesse a pad 62 utilizzati per il prelievo o l'introduzione di segnali elettrici nel dispositivo. Pertanto la disposizione  
20 delle piste trasversali 111 e 61 nella parte periferica del chip ma in parti periferiche opposte del chip e la conseguente disposizione dei pad 112 e 62 in parti periferiche del chip e tutt'intorno alla serie di blocchi 300 o 301, consente una facile realizzazione della saldatura dei fili tra il chip ed i condensatori della rete di adattamento.

## RIVENDICAZIONI

1. Dispositivo integrato a semiconduttore di tipo MOS comprendente un substrato (1, 2) di un primo tipo di conduttività, detto substrato (1) comprendendo una pluralità di zone attive (300; 301) e zone inattive di detto  
5 dispositivo a semiconduttore, dette zone attive (300; 301) comprendendo celle MOS elementari di detto dispositivo a semiconduttore alternate ad una pluralità di zone di separazione (31), ciascuna di dette celle MOS elementari comprendendo almeno una regione di source (8), almeno una regione di drain (7) ed almeno una struttura di gate (4, 5), detta almeno una struttura di  
10 gate (4, 5) comprendendo almeno un primo dito di materiale conduttore (5), detto dispositivo comprendendo prime piste di metallo (50; 55) atte a contattare dette regioni di source (8) delle zone attive (300; 301), seconde piste di metallo (110, 11) atte a contattare le regioni di drain (7) e terze piste di metallo (60) disposte su zone inattive ed atte a contattare detto almeno un  
15 dito di materiale conduttore (5) di ogni cella elementare mediante creazione di un punto di contatto (Q) formato da un primo prolungamento di detto almeno un dito (5) per connettersi ad una di dette terze piste (60), dette prime piste (50; 55), dette seconde piste (110, 11) e dette terze piste (60) di metallo essendo disposte sopra il substrato (1) di materiale semiconduttore sostanzialmente allo stesso livello, caratterizzato dal fatto che almeno una di  
20 dette terze piste di metallo (60) comprende almeno una quarta pista di metallo (20) disposta al di sopra di una di dette zone di separazione (31), almeno un dito di materiale conduttore (5) di ogni cella elementare avendo almeno un secondo prolungamento (51; 52) e detta almeno una quarta pista  
25 di metallo (20) avendo almeno un primo prolungamento (21; 22) atto a sovrapporsi a detto almeno un secondo prolungamento (51; 52) di detto almeno un dito di materiale conduttore (5) in modo da creare almeno un altro punto di contatto (T; H).
2. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che  
30 ogni zona di transizione (31) di detta pluralità di zone di transizione è



alternata da una coppia di celle MOS elementari in ogni zona attiva (300; 301).

3. Dispositivo secondo la rivendicazione 2, caratterizzato dal fatto che dette seconde piste di metallo (110; 11) comprendono almeno un'ulteriore  
5 pista di metallo (11), detta almeno una quarta pista (20) essendo parallela a detta almeno un'ulteriore pista (11) ed essendo disposta fra due di dette prime piste (50; 55).

4. Dispositivo secondo la rivendicazione 3, caratterizzato dal fatto che detto dispositivo a semiconduttore è un dispositivo LDMOS e dette celle  
10 MOS elementari sono celle LDMOS, e dal fatto che detto substrato (1, 2) comprende uno strato epitassiale (2) del primo tipo di conduttività comprendente una pluralità di regioni di sinker (3) del primo tipo di conduttività e di regioni di body (6) del primo tipo di conduttività, ogni regione di body (6) essendo disposta sopra ogni regione di sinker (3) e  
15 comprendendo due di dette regioni di source (8) di dette celle LDMOS elementari, ciascuna di dette pluralità di zone di separazione (31) essendo costituita dalla porzione di regione di body compresa fra le regioni di source (8).

5. Dispositivo secondo la rivendicazione 4, caratterizzato dal fatto che  
20 detta almeno una quarta pista di metallo (20) si estende in modo ortogonale alla formazione del canale di ogni cella LDMOS elementare.

6. Dispositivo secondo la rivendicazione 5, caratterizzato dal fatto che detti un almeno un primo prolungamento (21; 22) di detta almeno una quarta  
25 pista (20) ed detto almeno un secondo prolungamento (51; 52) del dito di materiale conduttore (5) si estendono in una direzione parallela alla direzione del canale di ogni cella LDMOS elementare.

7. Dispositivo secondo la rivendicazione 4, caratterizzato dal fatto di comprendere uno strato di ossido di campo (30) disposto in detta una zona di separazione (31), detta almeno una quarta pista di metallo (20) essendo  
30 sovrapposta a detto strato di ossido di campo (30).

8. Dispositivo secondo la rivendicazione 7, caratterizzato dal fatto di comprendere uno strato di passivante (91) disposto fra detto strato di ossido di campo (30) e detta almeno una quarta pista di metallo (20).

5 9. Dispositivo secondo la rivendicazione 8, caratterizzato dal fatto che detti un primo prolungamento (21; 22) di detta almeno una quarta pista (20) e detto un secondo prolungamento (51; 52) del dito di materiale conduttore (5) sono disposti su dette regioni di body (6) di detto dispositivo a semiconduttore.

10 10. Dispositivo secondo la rivendicazione 9, caratterizzato dal fatto di comprendere un secondo prolungamento (21; 22) di detta almeno una quarta pista (20) ed un ulteriore prolungamento (51; 52) del dito di materiale conduttore (5) disposti entrambi in dette zone attive (301) del dispositivo.

11. Dispositivo secondo la rivendicazione 1, caratterizzato dal fatto che detto dito di materiale conduttore (5) è un dito di polisilicio.

15 12. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta almeno una quarta pista di metallo (20) comprende una pluralità di quarte piste di metallo (20) disposte rispettivamente al di sopra di ciascuna di detta pluralità di zone di separazione (31).

20 13. Dispositivo secondo la rivendicazione 12, caratterizzato dal fatto che ciascuna di dette terze piste di metallo (60) comprende detta pluralità di quarte piste di metallo (20).

25 14. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che le zone attive (300; 301) di detta pluralità di zone attive del dispositivo sono disposte in modo adiacente l'una all'altra.

30 15. Dispositivo secondo la rivendicazione 14, caratterizzato dal fatto che dette seconde piste di metallo (11, 110) comprendono ulteriori piste principali di metallo (110) parallele fra loro e disposte in modo parallelo alla formazione del canale delle celle MOS elementari, dette piste principali (110) essendo disposte in zone inattive del dispositivo ed ogni coppia di

zone attive (300; 301) adiacenti essendo compresa fra due di dette ulteriori piste principali di metallo.

5           16. Dispositivo secondo la rivendicazione 15, caratterizzato dal fatto che almeno una delle ulteriori piste principali di metallo (110) di una coppia di zone attive (300; 301) è solidale all'ulteriore pista di metallo (110) della coppia di zone attive adiacente.

10           17. Dispositivo secondo la rivendicazione 16, caratterizzato dal fatto di comprendere primi elementi (111) per la connessione delle due ulteriori piste principali (110) di ogni coppia di zone attive (300; 301), detti primi elementi (111) essendo disposti su parti periferiche del chip in cui viene realizzato detto dispositivo ed essendo associati a primi pad (112) per l'introduzione o il prelievo di segnali elettrici.

15           18. Dispositivo secondo la rivendicazione 17, caratterizzato dal fatto che dette terze piste di metallo (60) sono parallele fra loro e a dette ulteriori piste di metallo (110) e dal fatto che ogni coppia di zone attive (300; 301) adiacenti comprende una di dette seconde piste di metallo (60) disposta fra dette due zone attive della coppia.

20           19. Dispositivo secondo la rivendicazione 18, caratterizzato dal fatto di comprendere secondi elementi (61) per la connessione di due terze piste (60) di adiacenti coppie di zone attive (300; 301), detti secondi elementi (61) essendo disposti su parti periferiche del chip in cui viene realizzato detto dispositivo ed essendo associati a secondi pad (62) per l'introduzione o il prelievo di segnali elettrici.

25           20. Dispositivo secondo la rivendicazione 19, caratterizzato dal fatto che detti primi elementi (111) e detti primi pad (112) sono disposti nella parte periferica del chip opposta alla parte periferica dove sono disposti detti secondi elementi (61) e detti secondi pad (62).

30           21. Processo per la fabbricazione di un dispositivo integrato di tipo MOS su un substrato (1, 2) di materiale semiconduttore di un primo tipo di conduttività, detto processo comprendendo fasi per la formazione di zone

attive (300; 301) di detto dispositivo comprendenti prime sottofasi per la formazione di regioni di source (8) di un secondo tipo di conduttività all'interno di detto substrato (1, 2), di regioni di drain (7) di un secondo tipo di conduttività e di strutture di gate (4, 5) comprendenti almeno uno strato di materiale conduttore (5), dette strutture di gate (4, 5) formando con le regioni di source (8) e di drain (7) una pluralità di celle MOS elementari di detto dispositivo, dette prime sottofasi comprendendo la formazione di una pluralità di zone di separazione (31) alternate a dette celle MOS elementari, seconde sottofasi di mascheratura e deposizione di uno strato di metallo su detto substrato di semiconduttore in modo da formare prime piste di metallo (50; 55) per contattare le regioni di source, seconde piste di metallo (110, 11) per contattare le regioni di drain e terze piste di metallo (60) per contattare ogni strato di materiale conduttore (5) di dette strutture di gate (4, 5) in un punto (Q), caratterizzato dal fatto che dette prime sottofasi comprendono la formazione di una maschera e di un deposito di detto materiale conduttore (5) delle strutture di gate (4, 5) tale da consentire la creazione di primi prolungamenti (51; 52) di detto materiale conduttore (5) e dal fatto che dette terze sottofasi comprendono la formazione di una maschera con finestre su dette zone di separazione (31) ed in prossimità di esse per il deposito di metallo al fine di creare quarte piste di metallo (20) connesse a dette terze piste di metallo (60) e primi prolungamenti (21, 22) di dette quarte piste di metallo (20) atti a sovrapporsi a detti primi prolungamenti (51; 52) di detto materiale conduttore (5) al fine di creare almeno un altro punto di contatto (T, H).

22. Processo secondo la rivendicazione 21, caratterizzato dal fatto che dette prime sottofasi comprendono la formazione di regioni di body (6) del primo tipo di conduttività in ognuna delle quali vengono formate due di dette regioni di source (8) del secondo tipo di conduttività, ognuna di dette zone di separazione (31) essendo costituita dalla porzione di regione di body compresa fra dette due regioni di source.

23. Processo secondo la rivendicazione 22, caratterizzato dal fatto che dette prime sottofasi comprendono la formazione di uno strato di ossido di campo (30) in ognuna di dette zone di separazione (31), ognuna di dette quarte piste di metallo (20) essendo disposta sopra detto strato di ossido di campo (30).

24. Processo secondo la rivendicazione 23, caratterizzato dal fatto che dette prime sottofasi comprendono la formazione di uno strato di passivante (91) sopra ogni strato di ossido di campo (30), ognuna di dette quarte piste di metallo (20) essendo disposta sopra detto strato di passivante (91).

25. Processo secondo la rivendicazione 21, caratterizzato dal fatto che detti strati di materiale conduttore (5) sono strati di polisilicio.

“Dispositivo integrato a semiconduttore di tipo MOS ad alte prestazioni e relativo processo di fabbricazione.”

\* \* \* \* \*

#### RIASSUNTO

5           E' descritto un dispositivo integrato a semiconduttore di tipo MOS comprendente un substrato (1, 2) di un primo tipo di conduttività. Il substrato (1) comprende una pluralità di zone attive (300; 301) e zone inattive; le zone attive (300; 301) comprendono celle MOS elementari di detto dispositivo a semiconduttore alternate ad una pluralità di zone di  
10           separazione (31). Ciascuna delle celle MOS elementari comprende almeno una regione di source (8), almeno una regione di drain (7) ed almeno una struttura di gate (4, 5); detta almeno una struttura di gate (4, 5) comprende almeno un primo dito di materiale conduttore (5). Il dispositivo comprende prime piste di metallo (50; 55) atte a contattare dette regioni di source (8)  
15           delle zone attive (300; 301), seconde piste di metallo (110, 11) atte a contattare le regioni di drain (7) e terze piste di metallo (60) disposte su zone inattive ed atte a contattare detto almeno un dito di materiale conduttore (5) di ogni cella elementare mediante creazione di un punto di contatto (Q) formato da un primo prolungamento di detto almeno un dito (5) per  
20           connettersi ad una di dette terze piste (60); le prime piste (50; 55), le seconde piste (110, 11) e le terze piste (60) di metallo essendo disposte sopra il substrato (1, 2) di materiale semiconduttore sostanzialmente allo stesso livello. Almeno una di dette terze piste di metallo (60) comprende almeno una quarta pista di metallo (20) disposta al di sopra di una zona di  
25           separazione (31). Almeno un dito di materiale conduttore (5) di ogni cella elementare ha almeno un secondo prolungamento (51; 52) e l'almeno una quarta pista di metallo (20) ha almeno un primo prolungamento (21; 22) atto a sovrapporsi a detto almeno un secondo prolungamento (51; 52) di detto almeno un dito di materiale conduttore (5) in modo da creare almeno un  
30           altro punto di contatto (T; H). (Figura 4).

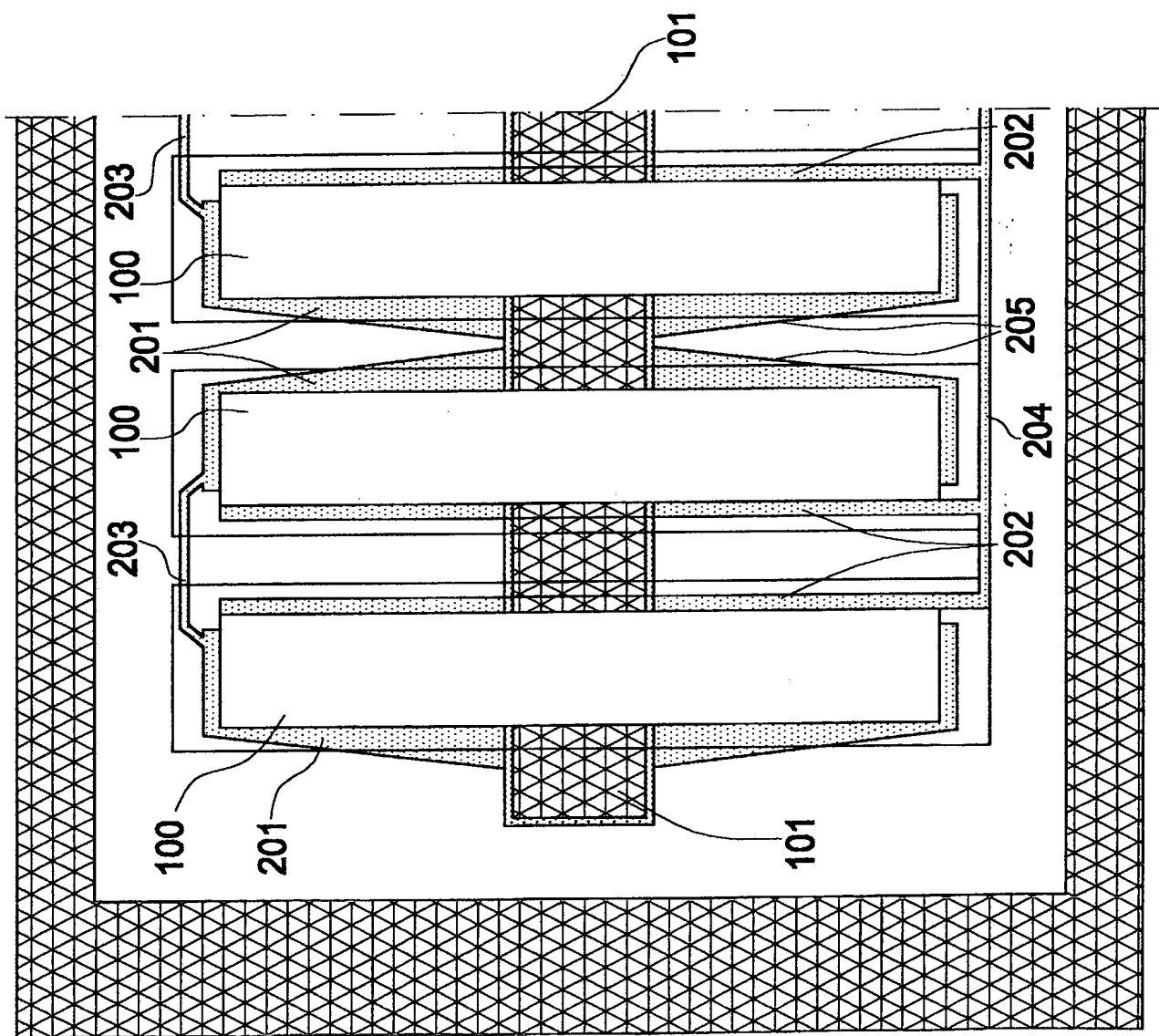


Fig. 1

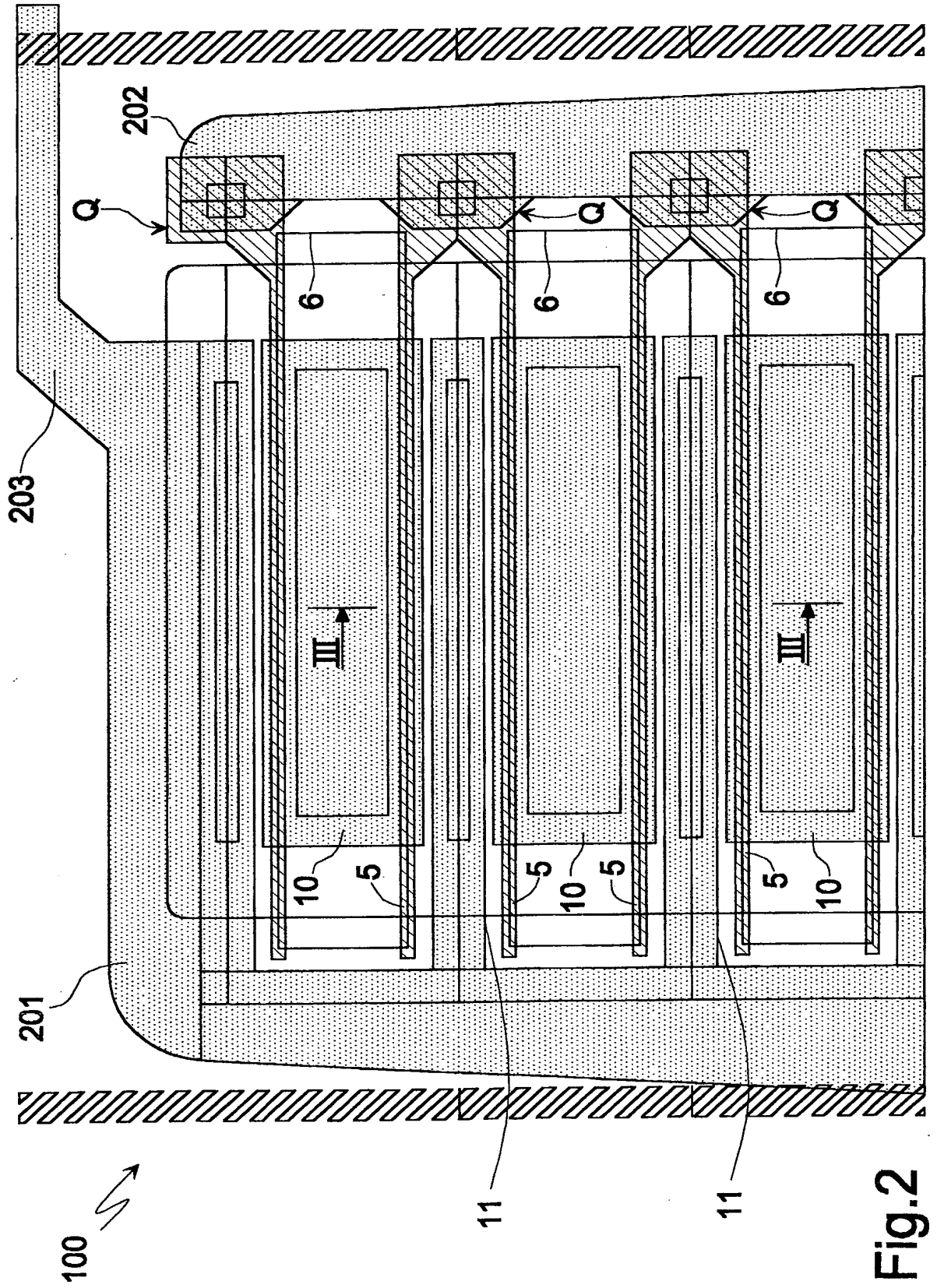
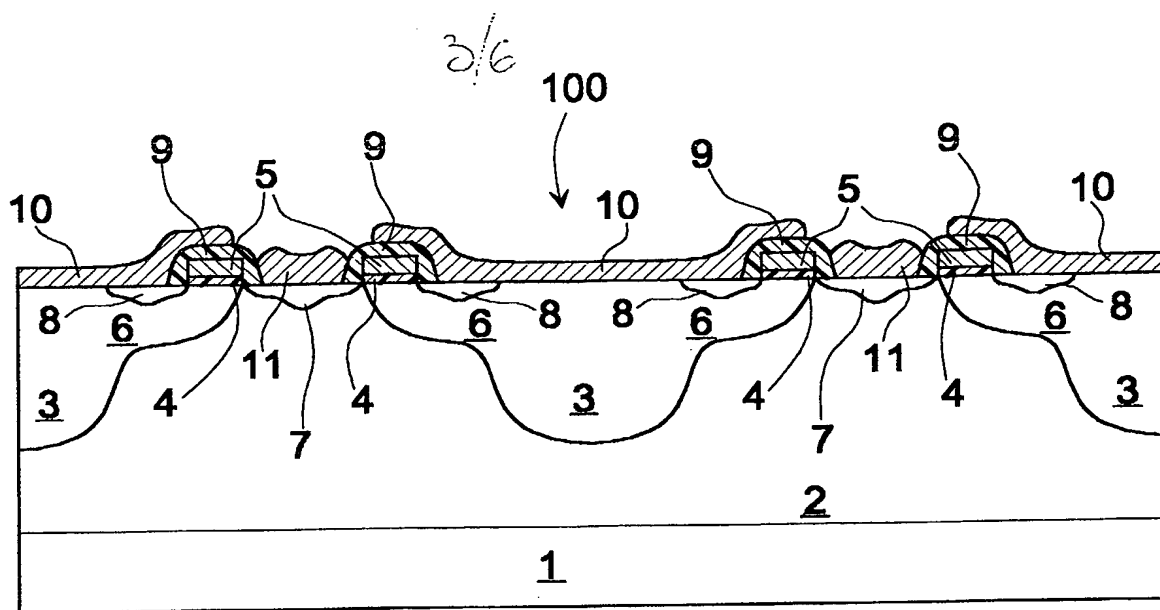
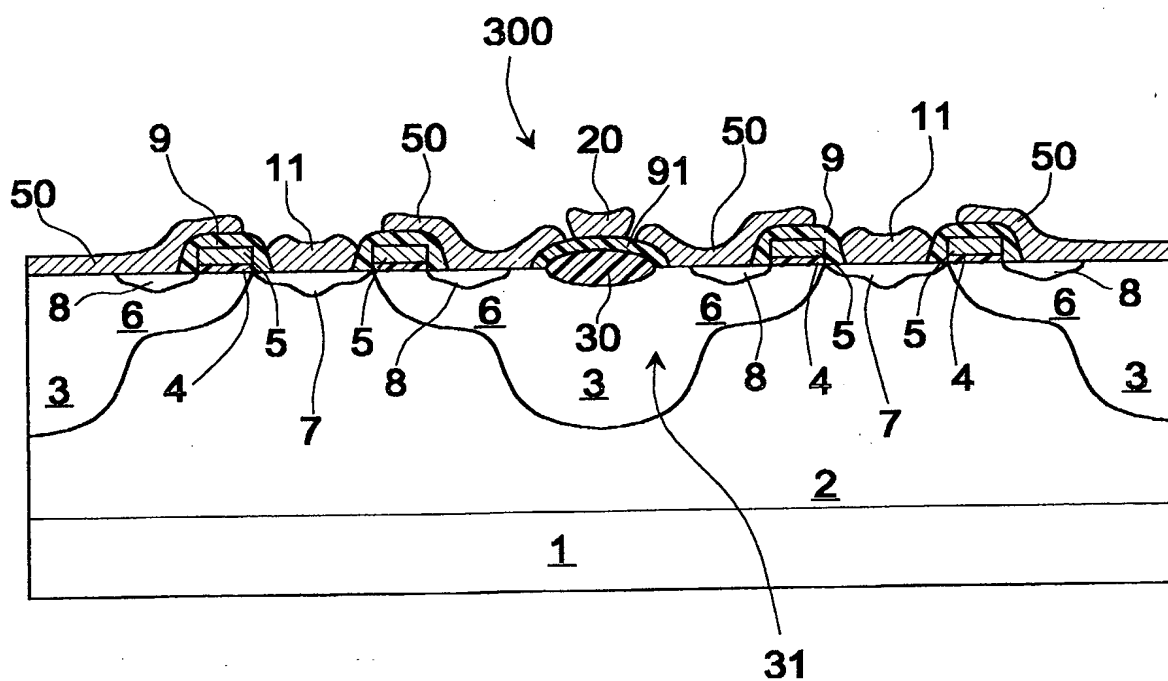


Fig.2





**Fig.3**



**Fig.5**

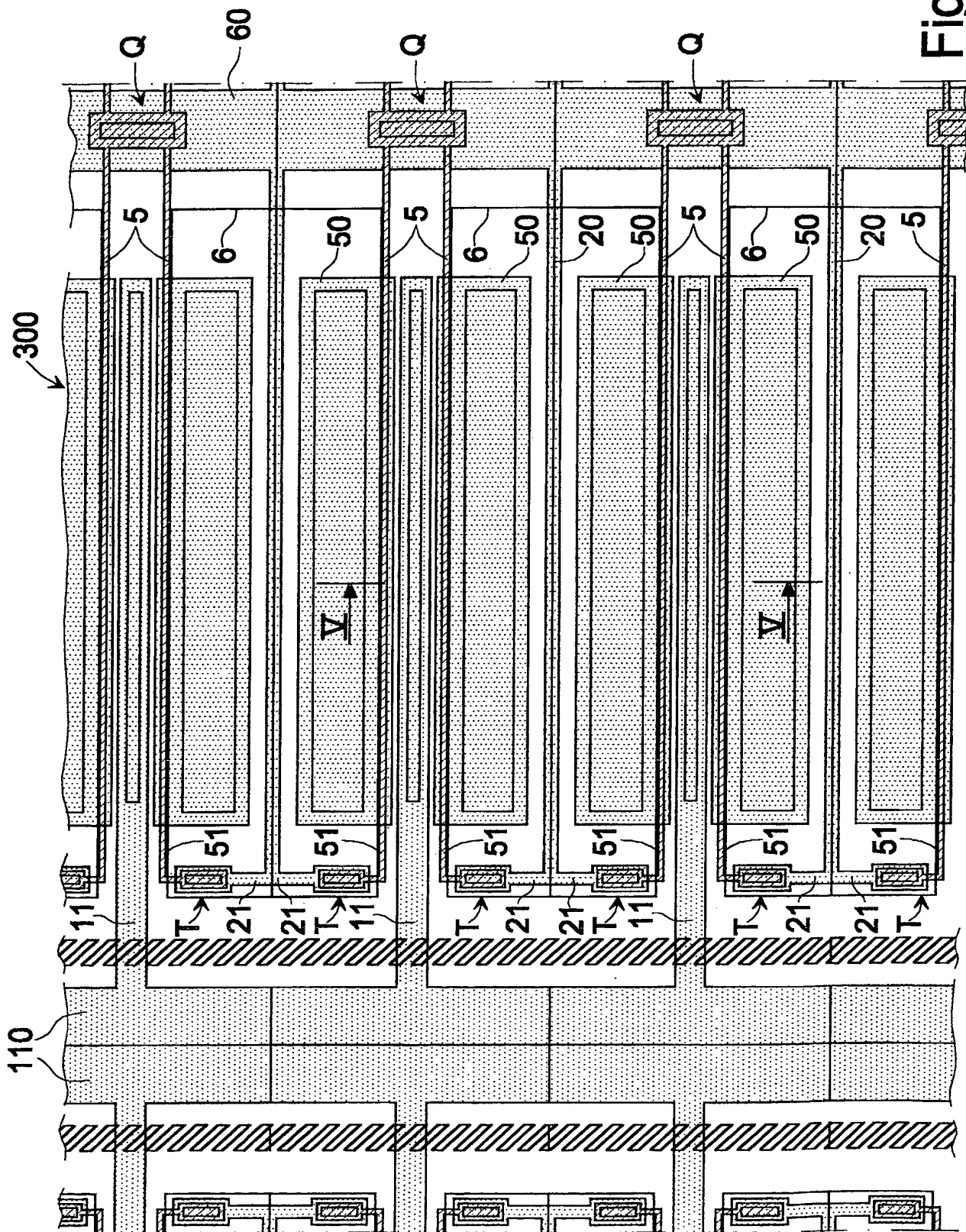


Fig.4

5/C

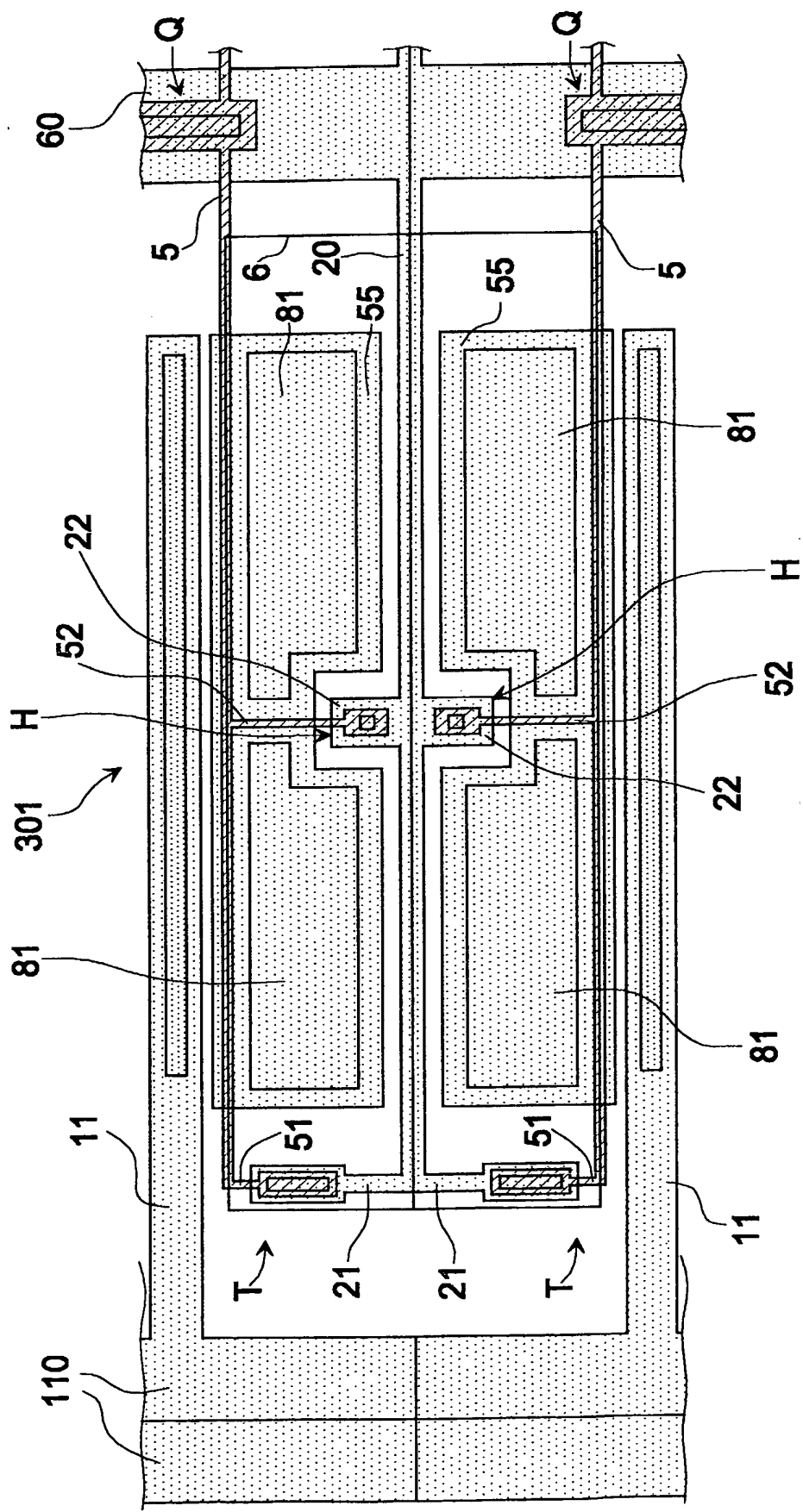


Fig.6



**Fig.7**